



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월20일
(11) 등록번호 10-2012191
(24) 등록일자 2019년08월13일

(51) 국제특허분류(Int. Cl.)

H01L 35/34 (2006.01) H01L 35/04 (2006.01)
H01L 35/16 (2006.01) H01L 35/18 (2006.01)
H01L 35/32 (2006.01)

(52) CPC특허분류

H01L 35/34 (2013.01)
H01L 35/04 (2013.01)

(21) 출원번호 10-2017-0102364

(22) 출원일자 2017년08월11일

심사청구일자 2017년08월11일

(65) 공개번호 10-2019-0017469

(43) 공개일자 2019년02월20일

(56) 선행기술조사문헌

JP2010027986 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

서울대학교산학협력단

서울특별시 관악구 관악로 1 (신림동)

성균관대학교산학협력단

경기도 수원시 장안구 서부로 2066 (천천동, 성균관대학교내)

(72) 발명자

주영창

서울특별시 강남구 선릉로 120, 개포 우성2차아파트 15동 505호

정민우

대전광역시 유성구 지족북로 33, 노은한화꿈에그린아파트105동 2103호

이후정

경기도 시흥시 중심상가로 103, 세종3차아파트 241동 402호

(74) 대리인

특허법인대한

전체 청구항 수 : 총 2 항

심사관 : 고재현

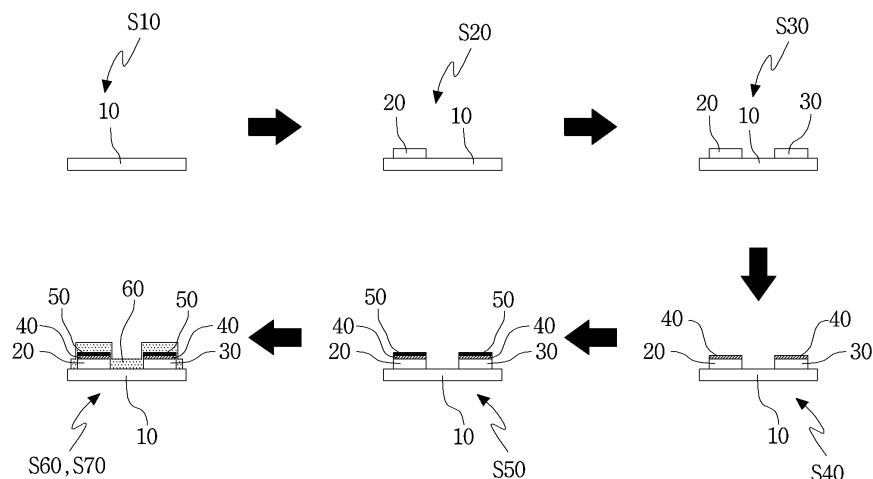
(54) 발명의 명칭 배리어를 구비한 열전소자 및 이의 제조 방법

(57) 요약

본 발명은 배리어를 구비한 열전소자 및 이의 제조 방법에 관한 것으로 보다 상세하게는 배리어를 구비한 열전소자의 제조 방법에 있어서, 접속 패드 및 패턴이 구비되는 기판을 구비하는 제 1단계와 상기의 기판 상부에 n-type 반도체를 증착하는 제 2단계와 상기의 기판 상부에 p-type 반도체를 증착하는 제 3단계와 상기의 n-type 반

(뒷면에 계속)

대표도 - 도2



도체 및 p-type 반도체 상층에 접착층을 증착하는 제 4단계와 상기의 접착층 상층에 배리어를 증착하는 제 5단계와 상기의 접착층과 배리어가 증착된 n-type 반도체와 p-type 반도체가 연결되도록 전극을 증착하는 제 6단계 및 전극 증착 후, 230 ~ 270℃로 100 ~ 140분 동안 열처리하는 제 7단계로 구성되어 이를 통하여 제조된 열전소자는 열전소자와 전극 간의 상호 반응으로 확산되어 열전소자 성능이 저하되는 것을 방지하기 위하여 배리어를 적용하며, 열전소자를 구성하는 n-type, p-type 반도체 소재의 합리적인 두께를 통하여 우수한 전기적 특성과 비교적 낮은 저항을 통하여 열전 효율을 증가시키는 효과가 있다.

(52) CPC특허분류

H01L 35/16 (2013.01)

H01L 35/18 (2013.01)

H01L 35/32 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711041128

부처명 미래창조과학부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발

연구과제명 모바일 부품의 수평냉각을 통한 에너지 저감 기술 개발

기 여 율 1/1

주관기관 서울대학교산학협력단

연구기간 2016.06.01 ~ 2017.05.31

명세서

청구범위

청구항 1

배리어를 구비한 열전소자의 제조 방법에 있어서,

접속 패드(11) 및 패턴이 구비되는 기판(10)을 구비하는 제 1단계(S10);와

상기의 기판(10) 상부에 n-type 반도체(20)를 증착하는 제 2단계(S20);와

상기의 기판(10) 상부에 p-type 반도체(30)를 증착하는 제 3단계(S30);와

상기의 n-type 반도체(20) 및 p-type 반도체(30) 상측에 접착층(Glue layer, 40)을 증착하는 제 4단계(S40);와

상기의 접착층(40) 상측에 배리어(Barrier, 50)를 증착하는 제 5단계(S50);와

상기의 접착층(40)과 배리어(50)가 증착된 n-type 반도체(20)와 p-type 반도체(30)가 연결되도록 전극(60)을 증착하는 제 6단계(S60); 및

전극(60) 증착 후, 230 ~ 270℃로 100 ~ 140분 동안 열처리하는 제 7단계(S70);로 구성되고,

상기 제 2단계(S20), 3단계(S30)에서 각각 증착되는 n-type 반도체(20)와 p-type 반도체(30)는 각각 기판(10)에 수평으로 구비되며,

상기의 제 2단계(S20), 3단계(S30)는 각각 증발(Evaporator) 증착을 이용하여 n-type, p-type 반도체(20, 30)의 소재를 9 ~ 11μm로 증착하여 후막을 형성하고,

상기의 n-type 반도체(20)는 Bi₂Te₃ 소재이며, p-type 반도체(30)는 Sb₂Te₃ 소재이고, 상기의 배리어(50)는 Au소재이며, 상기의 전극(60)은 Cu소재로 구비되며,

상기 배리어(50)의 두께는 1 ~ 3μm인 것을 특징으로 하는 배리어를 구비한 열전소자의 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1항의 배리어를 구비한 열전소자의 제조 방법으로 제조되며,

Bi₂Te₃소재이며, 두께가 9 ~ 11μm인 n-type 반도체(20)와 Sb₂Te₃소재이며, 두께가 9 ~ 11μm인 p-type 반도체(30)와 두께가 1 ~ 3μm인 Au소재의 배리어(50)와 Cu소재의 전극(60)으로 구성되며,

상기의 n-type 반도체(20)와 p-type 반도체(30)는 복수 개가 기판(10)에 수평하게 방사형으로 교대 배치되며, 복수 개의 n-type 반도체(20)와 p-type 반도체(30) 중 이웃하여 배치되는 n-type 반도체(20)와 p-type 반도체(30)의 각각 하나의 외측단은 기판(10)에 구비된 접속 패드에 연결되도록 전극(60) 형성되는 것을 특징으로 하는 배리어를 구비한 열전소자.

발명의 설명

기술 분야

[0001] 본 발명은 배리어를 구비한 열전소자 및 이의 제조 방법에 관한 것으로 보다 상세하게는 열적, 전기적 안정성을 확보하여 발열 또는 냉각 효율을 향상시킬 수 있는 배리어를 구비한 열전소자 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 열전소자는 펄티에 효과(Peltier effect)에 의한 흡열 또는 발열을 이용한 것으로 일반적으로 p형 반도체와 n형 반도체를 접합한 후 전류를 흘려 열의 발생을 편중되게 하고 이를 방열판, 냉각판, 수냉 등을 통하여 냉각시키는 냉각 시스템으로 널리 사용된다.

[0003] 그러나, p형 반도체와 n형 반도체의 소재와 전극 물질의 소재에 따라 전기적, 열적 안정성이 상이하므로 열전 효율 역시 소재에 따라 많은 차이를 보이는 문제점이 있다.

[0004] 이에 따라, 본 명세서의 도 1과 같이 대한민국 등록특허공보 제10-1470393호에서는 저온 영역, 중온 영역, 고온 영역과 같이 각각의 온도 영역대에서 높은 열전효율을 보이는 재료들을 접합하여 전체 효율이 높은 열전소자를 제조하고, 열전재료의 접합부에서 발생하는 재료의 확산 현상에 기인하는, 접합에 따른 문제를 해결하기 위해 접합부에 확산 방지층을 삽입하여 기존의 열전소자에 비하여 효율이 높은 열전소자로 제조하는 방법이 공지되어 있다.

[0005] 그러나, 이 역시 전기적, 열적 안정성 확보 및 열전 효율 향상에 한계가 있는 문제점이 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 등록특허공보 제10-1470393호(2014.12.02)

발명의 내용

해결하려는 과제

[0007] 상술한 바와 같은 문제점을 해결하기 위하여, 열전소자 구성 요소의 전기적, 열적 안정성을 향상시키기 위한 소재와 각 소재의 결합을 통하여 열전 효율을 극대화할 수 있는 배리어를 구비한 열전소자 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 목적을 달성하기 위한 구성으로는 배리어를 구비한 열전소자의 제조 방법에 있어서, 접속 패드 및 패턴이 구비되는 기판을 구비하는 제 1단계와 상기의 기판 상부에 n-type 반도체를 증착하는 제 2단계와 상기의 기판 상부에 p-type 반도체를 증착하는 제 3단계와 상기의 n-type 반도체 및 p-type 반도체 상층에 접착층을 증착하는 제 4단계와 상기의 접착층 상층에 배리어를 증착하는 제 5단계와 상기의 접착층과 배리어가 증착된 n-type 반도체와 p-type 반도체가 연결되도록 전극을 증착하는 제 6단계 및 전극 증착 후, 230 ~ 270℃로 100 ~ 140분 동안 열처리하는 제 7단계로 이루어지는 배리어를 구비한 열전소자의 제조 방법이다.

[0009] 본 발명의 다른 특징으로는 상기의 제 2단계, 3단계에서 각각 증착되는 n-type 반도체와 p-type 반도체는 각각 기판에 수평으로 구비되며, 각각 증발 증착을 이용하여 9 ~ 11 μ m 두께의 후막으로 구성된다. 이때, 상기의 n-type 반도체는 Bi₂Te₃ 소재이며, p-type 반도체는 Sb₂Te₃ 소재이고, 상기의 배리어는 Au이며, 상기의 전극은 Cu이다.

[0010] 본 발명의 또 다른 특징으로는 상기한 배리어를 구비한 열전소자의 제조 방법으로 제조되며, Bi₂Te₃소재이며, 두께가 9 ~ 11 μ m인 n-type 반도체와 Sb₂Te₃소재이며, 두께가 9 ~ 11 μ m인 p-type 반도체와 두께가 1 ~ 3 μ m인 Au소재

의 배리어와 Cu소재의 전극으로 구성되며, 상기의 n-type 반도체와 p-type 반도체는 복수 개가 기판에 수평하게 방사형으로 교대 배치되며, 복수 개의 n-type 반도체와 p-type 반도체 중 이웃하여 배치되는 n-type 반도체와 p-type 반도체의 각각 하나의 외측단은 기판에 구비된 접속 패드에 연결되도록 전극 형성되는 것을 특징으로 하는 배리어를 구비한 열전소자이다.

발명의 효과

- [0011] 상기한 바와 같이, 본 발명에 따른 배리어를 구비한 열전소자 및 이의 제조 방법은 전기적, 열적 안정성을 향상시키기 위한 소재와 각 소재의 결합을 통하여 열전 효율을 현저하게 향상시키는 효과가 있다.
- [0012] 보다 구체적으로는 열전소자와 전극 간의 상호 반응으로 확산되어 열전소자 성능이 저하되는 것을 방지하기 위하여 배리어를 적용하며, 열전소자를 구성하는 n-type, p-type 반도체 소재의 합리적인 두께를 통하여 우수한 전기적 특성과 비교적 낮은 저항을 통하여 열전 효율을 증가시키는 효과가 있다.

도면의 간단한 설명

- [0013] 도 1은 기존의 열전소자 제조 방법의 개략도.
- 도 2는 본 발명에 따른 배리어를 구비한 열전소자 및 이의 제조 방법의 개념도.
- 도 3은 본 발명에 따른 배리어를 구비한 열전소자 및 이의 제조 방법의 순서도.
- 도 4는 본 발명에 따른 배리어를 구비한 열전소자의 상면도.
- 도 5의 a와 b는 각각 n-type 반도체의 소재와 p-type 반도체 소재의 두께에 따른 전기적 특성을 나타내는 그래프.
- 도 6은 n-type 또는 p-type 반도체 소재의 두께에 따른 저항을 나타내는 그래프.
- 도 7의 a, b는 각각 열처리 후 배리어 소재에 따른 접촉 저항 및 열전소재의 면 저항 비교 그래프.

발명을 실시하기 위한 구체적인 내용

- [0014] 도 2는 본 발명에 따른 배리어를 구비한 열전소자의 제조 방법의 개념도이고, 도 3은 본 발명에 따른 배리어를 구비한 열전소자 및 이의 제조 방법의 순서도로서 이를 참고하여 본원발명의 상세 구성을 설명하면 하기와 같다.
- [0015] 배리어를 구비한 열전소자의 제조 방법에 있어서, 접속 패드(11) 및 패턴이 구비되는 기판(10)을 구비하는 제 1 단계(S10);와 상기의 기판(10) 상부에 n-type 반도체(20)를 증착하는 제 2단계(S20);와 상기의 기판(10) 상부에 p-type 반도체(30)를 증착하는 제 3단계(S30);와 상기의 n-type 반도체(20) 및 p-type 반도체(30) 상측에 접착층(Glue layer, 40)을 증착하는 제 4단계(S40);와 상기의 접착층(40) 상측에 배리어(Barrier, 50)를 증착하는 제 5단계(S50);와 상기의 접착층(40)과 배리어(50)가 증착된 n-type 반도체(20)와 p-type 반도체(30)가 연결되도록 전극(60)을 증착하는 제 6단계(S60); 및 전극(60) 증착 후, 230 ~ 270℃로 100 ~ 140분 동안 열처리하는 제 7단계(S70);로 구성되는 것을 특징으로 하는 배리어를 구비한 열전소자의 제조 방법이다.
- [0016] 도 4는 본 발명에 따른 배리어를 구비한 열전소자의 상면도이며, 보다 상세하게는 제 2단계(S20)와 제 3단계(S30)에서 n-type 반도체(20) 및 p-type 반도체(30)를 증착 시 세부적인 배치 위치를 설명하기 위하여 n-type 반도체(20) 및 p-type 반도체(30) 상측에 적층되는 접착층(40), 배리어(50)를 생략한 상면도이다.
- [0017] 이를 참고하면 상기의 제 2단계(S20), 3단계(S30)에서 각각 증착되는 n-type 반도체(20)와 p-type 반도체(30)는 각각 기판(10)에 수평으로 구비되는 바람직하다. 보다 상세하게는 상기의 n-type 반도체(20)와 p-type 반도체(30)는 방사형으로 교대 배치되며, 내 측에서 외 측으로 갈수록 면적이 커진다. 또한, 기판(10)에 증착되는 복수 개의 n-type 반도체(20)와 p-type 반도체(30) 중 이웃하여 배치되는 n-type 반도체(20)와 p-type 반도체(30)의 각각 하나의 외측단은 기판(10)에 구비된 접속 패드에 연결되도록 전극(60)이 증착된다.
- [0018] 도 5의 a와 b는 각각 n-type 반도체의 소재와 p-type 반도체 소재의 두께에 따른 전기적 특성을 나타내는 그래프이며, 도 6은 n-type 또는 p-type 반도체의 소재의 두께에 따른 저항을 나타내는 그래프이다. 보다 상세하게는 도 5의 a는 n-type 반도체의 소재 중 Bi₂Te₃일 경우이며, 도 5의 b는 p-type 반도체의 소재 중 Sb₂Te₃일 경우이다.

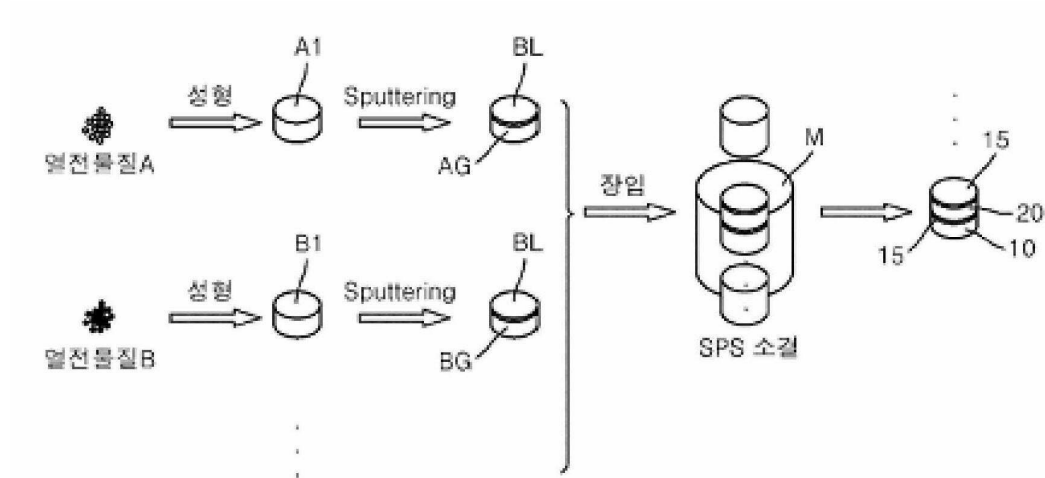
- [0019] 이를 참고하면 전기 전도도는 n-type 또는 p-type 반도체(20, 30)를 구성하는 소재의 두께가 증가할수록 감소하여 박막 형태가 유리하나, 저항에 경우 두께가 증가할수록 저항이 감소한다. 특히, 두께가 6 μ m까지는 저항의 변화가 크지 않으나 이를 초과하면 급격히 감소하므로 전기 전도도와 저항을 고려하여 n-type 반도체(20) 및 p-type 반도체(30)는 각각 Bi₂Te₃ 소재, Sb₂Te₃ 소재를 적용하되 두께는 9 ~ 11 μ m로 하는 것이 바람직하다.
- [0020] 이에 따라, 상기의 제 2단계(S20), 3단계(S30)는 각각 증발(Evaporator) 증착을 이용하여 n-type, p-type 반도체(20, 30)의 소재를 9 ~ 11 μ m로 증착하여 후막으로 형성하는 것을 특징으로 한다.
- [0021] 도 7의 a, b는 각각 열처리 후 배리어 소재에 따른 접촉 저항 및 열전소재의 면 저항 비교 그래프로서 이를 참고로 본원발명의 제 5단계(S50)에서 증착되는 배리어의 상세 구성을 설명하면 하기와 같다.
- [0022] 일반적으로 배리어(50)를 적용하는 경우 소재를 Ta(탈탄), TaN(질산탈탄), Mo(몰리브덴) 등을 이용한다. 이때, 배리어(50)는 전극(60)의 재질인 Cu가 반도체 소자의 재질인 Bi₂Te₃, Sb₂Te₃의 내부로 침투되어 상이 변화하며 시간이 지날수록 열전 성능이 현저하게 저하되는 것을 방지하기 위하여 반도체 소자의 소재와 전극(60) 사이에 구비되는 것으로 Cu의 확산을 방지하고 반도체 소자의 소재의 확산 역시 방지한다.
- [0023] 도 7의 a는 배리어(50)의 소재가 Au(금), Ta(탈탄), Mo(몰리브덴), TaN(질산탈탄)일 경우, Bi₂Te₃ 소재의 n-type 반도체(20)와 Sb₂Te₃ 소재의 p-type 반도체(30)의 접촉 저항을 비교한 그래프이다. 이를 통하여 배리어(50)의 소재를 Au로 적용하는 경우 n-type 반도체(20) 및 p-type 반도체(30)의 접촉 저항이 비교적 적은 것을 알 수 있다. 특히, p-type 반도체(30)의 경우 현저하게 적은 것을 확인할 수 있다.
- [0024] 도 7의 b는 배리어(50)의 소재가 Au(금), Ta(탈탄), Mo(몰리브덴), TaN(질산탈탄)일 경우, Bi₂Te₃ 소재의 n-type 반도체(20)와 Sb₂Te₃ 소재의 p-type 반도체(30)의 면 저항을 비교한 그래프이다. 이를 통하여 배리어(50)의 소재를 Au로 적용하는 경우 n-type 반도체(20) 및 p-type 반도체(30)의 면 저항이 현저히 적은 것을 알 수 있다. 이에 따라, 배리어(50)의 소재는 Au(금)를 적용하며, 두께가 증가할수록 전기적 특성이 저하됨으로 1 ~ 3 μ m의 두께를 갖는 것이 바람직하다.
- [0025] 상술한 바와 같은 방법으로 제조되는 열전소자의 바람직한 상세 구성은 Bi₂Te₃소재이며, 두께가 9 ~ 11 μ m인 n-type 반도체(20)와 Sb₂Te₃소재이며, 두께가 9 ~ 11 μ m인 p-type 반도체(30)와 두께가 1 ~ 3 μ m인 Au소재의 배리어(50)와 Cu소재의 전극(60)으로 구성되며, 상기의 n-type 반도체(20)와 p-type 반도체(30)는 복수 개가 기관(10)에 수평하게 방사형으로 교대 배치되며, 복수 개의 n-type 반도체(20)와 p-type 반도체(30) 중 이웃하여 배치되는 n-type 반도체(20)와 p-type 반도체(30)의 각각 하나의 외측단은 기관(10)에 구비된 접촉 패드에 연결되도록 전극(60) 형성되는 것을 특징으로 한다.
- [0026] 본 발명은 특정의 실시 예 및 적용 예와 관련하여 도시 및 설명하였지만, 첨부된 특허청구범위에 의해 나타난 발명의 사상 및 영역으로부터 벗어나지 않는 한도 내에서 다양한 개조 및 변화 가능하다는 것을 당 업계에서 통상의 지식을 가진 자라면 누구나 쉽게 알 수 있을 것이다.

부호의 설명

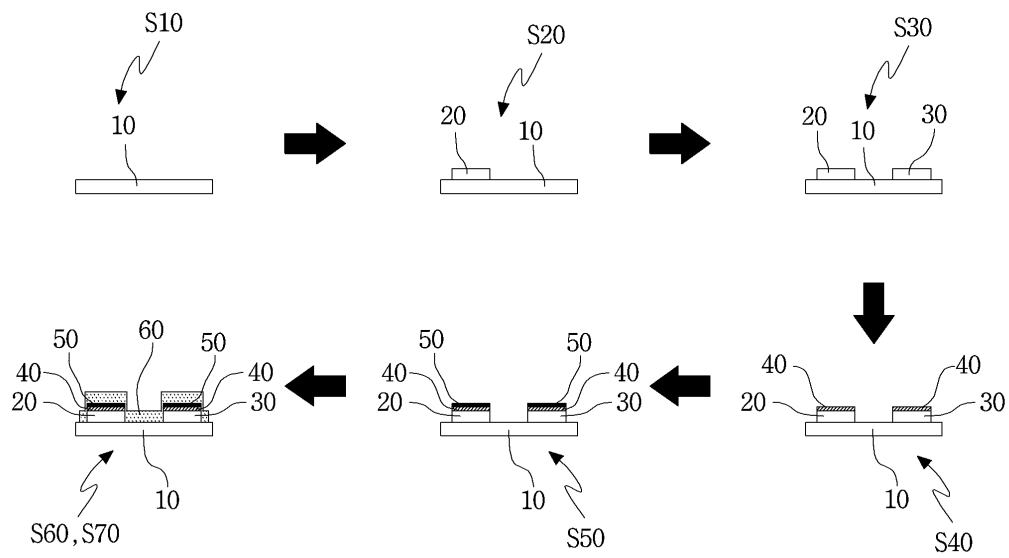
- | | |
|----------------|----------------|
| [0027] 10. 기관 | 20. n-type 반도체 |
| 30. p-type 반도체 | 40. 접촉층 |
| 50. 배리어 | 60. 전극 |
| S10. 제 1단계 | S20. 제 2단계 |
| S30. 제 3단계 | S40. 제 4단계 |
| S50. 제 5단계 | S60. 제 6단계 |
| S70. 제 7단계 | |

도면

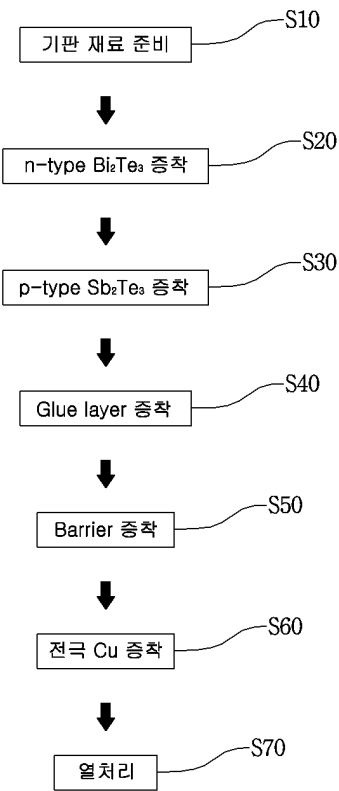
도면1



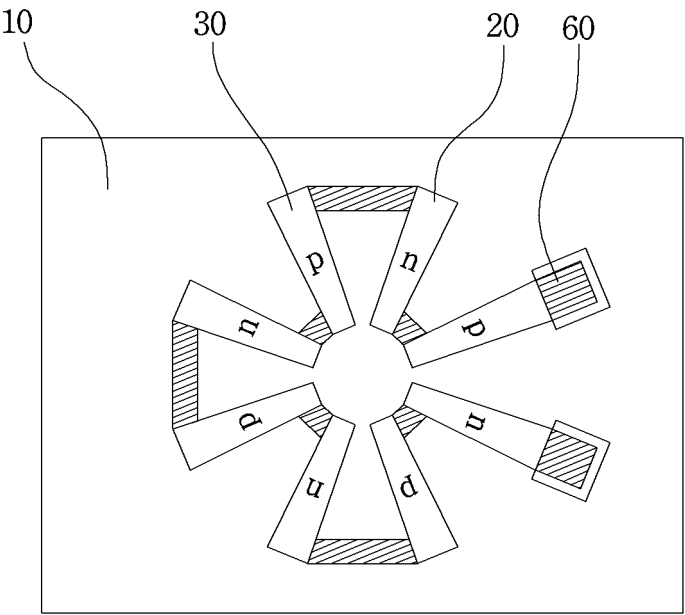
도면2



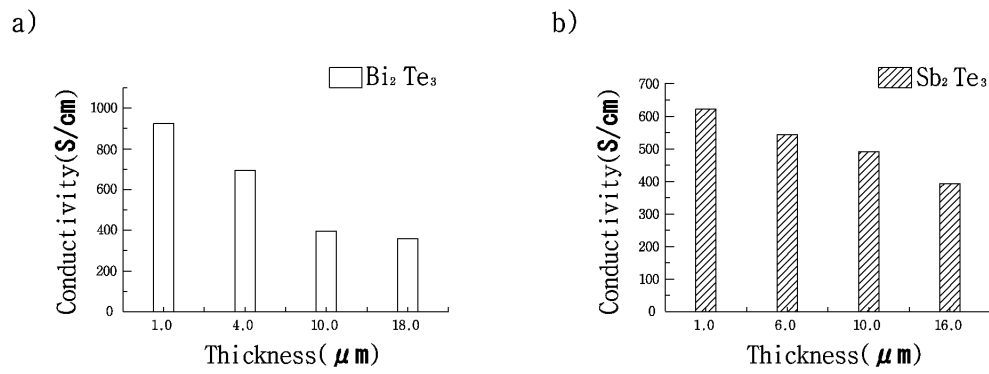
도면3



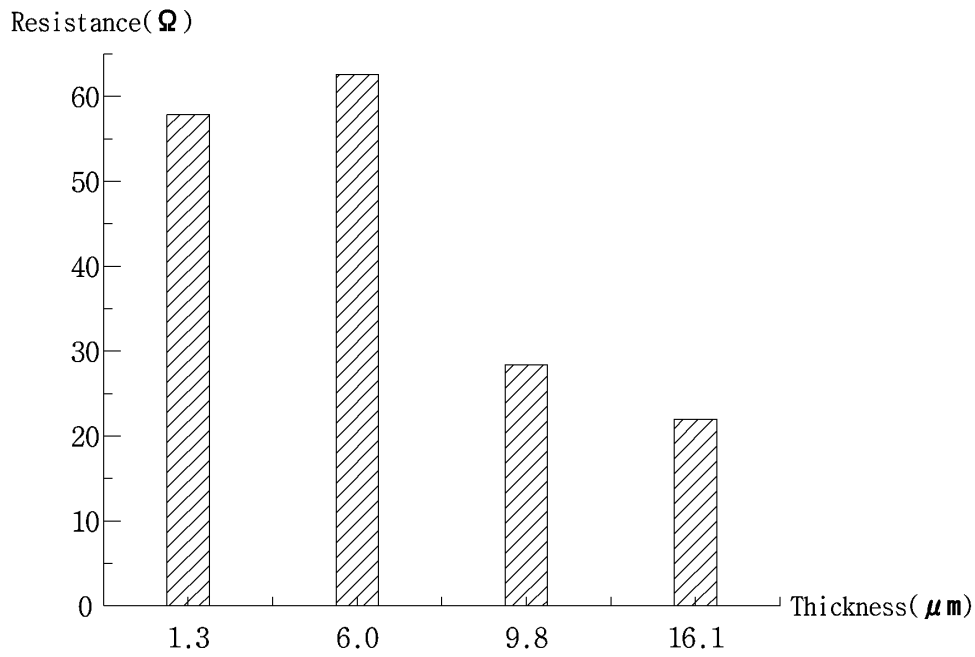
도면4



도면5



도면6



도면7

